

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

03235332 **Image available**

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 02-210832 [JP 2210832 A]

PUBLISHED: August 22, 1990 (19900822)

INVENTOR(s): TOBE YOSHIKIYO

APPLICANT(s): OKI ELECTRIC IND CO LTD [000029] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 01-029596 [JP 8929596]

FILED: February 10, 1989 (19890210)

INTL CLASS: [5] H01L-021/3205; H01L-021/302; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JOURNAL: Section: E, Section No. 998, Vol. 14, No. 507, Pg. 86,
November 06, 1990 (19901106)

ABSTRACT

PURPOSE: To enable the taper etching of a first gate by etching the first gate by using a bell-jar form insulating film formed by utilizing thermal fluidity, as a mask.

CONSTITUTION: On a P-type silicon substrate (100) 1, a thick field oxide film 2, a gate oxide film 3, and a first polysilicon 4a are selectively formed; after that, PSG(phosphosilicate glass) 8 whose P concentration is about 12wt.% is grown and selectively etched and eliminated. When the PSG 8 is annealed in an N(sub 2) atmosphere, it exhibits fluidity and turns to a bell-jar shape. By using this PSG 8 as a mask, a first gate of the first polysilicon 4a is etched. In this case, etching is performed under the condition where the etching rate of the first polysilicon 4a is larger than that of the PSG 8. Thereby, the shape of the first gate of the first polysilicon 4a is influenced by the ball-jar shape of the PSG 8 and formed in a taper shape.

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

008413455 **Image available**

WPI Acc No: 1990-300456/199040

Semiconductor device mfr. - by etching 1st gate using bell-shaped
insulating film to obtain taper preventing notch and bridge at conductive
layer NoAbstract Dwg 2/2

Patent Assignee: OKI ELECTRIC IND CO LTD (OKID)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2210832	A	19900822	JP 8929596	A	19890210	199040 B

Priority Applications (No Type Date): JP 8929596 A 19890210

Title Terms: SEMICONDUCTOR; DEVICE; MANUFACTURE: ETCH; GATE; BELL;
SHAPE;INSULATE; FILM; OBTAIN; TAPER; PREVENT: NOTCH; BRIDGE;
CONDUCTING; LAYER; NOABSTRACT

Derwent Class: L03; U11; U12

International Patent Class (Additional): H01L-021/32; H01L-029/78

File Segment: CPI; EPI

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-210832

⑬ Int. Cl.³

H 01 L 21/3205
21/302
29/784

識別記号

庁内整理番号

L 8223-5F

6810-5F H 01 L 21/88
8422-5F 29/78

3 0 1 K
G

⑭ 公開 平成2年(1990)8月22日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平1-29596

⑰ 出 願 平1(1989)2月10日

⑱ 発 明 者 戸 部 喜 清 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
⑲ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
⑳ 代 理 人 弁理士 菊 池 弘

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(a) 半導体基板上にフィールド酸化膜を選択的に形成後ゲート絶縁膜および第1ポリシリコンによる第1ゲートを形成する工程と、

(b) 上記第1ゲート上に粘性、流動性のある絶縁膜を形成してパターニング後熱処理による流動現象を利用してこの絶縁膜を釣り鐘形状にする工程と、

(c) 上記釣り鐘形状の絶縁膜をマスクとして上記第1ゲートをエッチングしてテーパ状に形成した後上層に絶縁膜を形成する工程と、
よりなる半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、に配線層の層間絶縁膜の平坦化を期するようにした半導体装置の製造方法に関するものである。

(従来の技術)

第2図は従来のMOS型トランジスタの製造方法を説明するための側面図である。この第2図において、まず、シリコン基板1の表面部にLOCOS法により厚いフィールド酸化膜2を選択的に形成し、素子分離を行なう。

次に、ゲート絶縁膜となる薄いゲート酸化膜3を形成し、さらに全面にゲート電極を形成するためのポリシリコンを形成し、P_oCl₅を拡散源としてリンをドーブして導電性を持たせる。

次に、第1ゲートホトリソと異方性エッチングを行い、ゲート電極4を形成する。

次に、ソース、ドレイン5を形成するため、上記ゲート電極4をマスクとしてシリコン基板1にイオン注入を行ない、ソース、ドレイン5を形成する。

次に、SiO₂膜を全面に形成して絶縁膜6を作る。その上にアルミを全面に形成した後、第2ゲートホトリソと異方性エッチングを行い、第2ゲート7を形成する。

(発明が解決しようとする課題)

しかしながら、上記の従来のMOS型トランジスタの製造方法では、第1ゲートの部分で、絶縁膜6にオーバーハング形状の段差がでる、その上層に形成される第2ゲート7をパターニングする際、ホトリソについてノッチやブリッジが発生するおそれがある。

また、絶縁膜6のくびれの部分に第2ゲート7の配線材料が残り、第2ゲート7がショートして不良になる可能性がある。

上記問題点を解決する手段として、絶縁膜6にBPSGなどの流動性の膜を用い、高温でガラスフロー(Glass flow)をして平坦化をする方法があるが、ソース、ドレイン5形成後に高温の熱処理を行なうため、ソース、ドレイン5が拡散し、ショートチャンネル化や、ソース、ドレイン接合が深くなるなどの問題点がある。

この発明は、前記従来技術が持っている問題点のうち、絶縁膜の段差部における第2ゲートの配線パターニング時のノッチ、ブリッジが発生する

点と、絶縁膜のくびれによる配線ショートの問題点について解決した半導体装置の製造方法を提供するものである。

(課題を解決するための手段)

この発明は、半導体装置の製造方法において、第1ゲート上に粘流動性を利用して釣り縄状の絶縁膜を形成する工程と、この絶縁膜をマスクとして第1ゲートをエッチングしてこの第1ゲートにテーパーをつけることにより、上層絶縁膜を平坦化させる工程とを導入したものである。

(作用)

この発明によれば、半導体装置の製造方法において、以上のような工程を導入したので、第1ゲート上に釣り縄状の絶縁膜を粘流動性を利用して形成し、この釣り縄状の絶縁膜をマスクとして第1ゲートをテーパー状にエッチングすることになり、第1ゲート上に形成される絶縁膜が滑らかになり、したがって、前記問題点を除去できるものである。

(実施例)

以下、この発明の半導体装置の製造方法の実施

例について図面に基つき説明する。第1図(ないし第1図(4))はその一実施例の工程断面図である。この第1図(ないし第1図(4))において、第2図と同一機能を果たする部分は第2図と同一符号を付して述べる。

まず、第1図(4)に示すように、半導体基板としてP型シリコン基板(100) 1上に選択的に厚いフィールド酸化膜2、ゲート酸化膜3、第1ポリシリコン4aを約3000Å形成した後、この第1ポリシリコン4aに対し POCl_3 を拡散源としてリンをドーピングして導電性を持たせる。

次に、P濃度12wt%ぐらいのPSG(Phosphosilicate Glass) 8を2000Å成長させる。

次に、通常のホトリソグラフィ、エッチング技術を用い、このPSG 8を選択的にエッチング除去し、レジストを除去することにより第1図(4)のごとく構造を得る。

次に、1000℃のN₂雰囲気中でアニールを行なうと、第1図(4)のごとく、PSG 8は流動現象を起こし、中心部の高さが約4000Å程度の釣り縄型

となる。

次に、第1図(4)に示すようにこのPSG 8をマスクとして第1ポリシリコン4aによる第1ゲートをエッチングする。なお、この際、PSG 8より第1ポリシリコン4aが速くエッチングされるように、第1ポリシリコン4aのエッチングレートはPSG 8のエッチングレートより大きい条件でエッチングを行なう(ただし選択比を十分取る必要はない)。

したがって、このエッチングの際、マスクとなるPSG 8もエッチングを被り、第1ポリシリコン4aのエッチングの終点においては、第1図(4)のごとく構造となる。

なお、第1ポリシリコン4aによる第1ゲートの形状はマスクであるPSG 8の釣り縄型が影響して、テーパー状に形成される。

次に、第1ポリシリコン4aによる第1ゲート上に残ったPSG 8をHFで除去した後、第1ポリシリコン4aによる第1ゲートをマスクとして、酸素イオンをp型シリコン基板1に注入す

ることにより、 n^+ 不純物によるソースドレイン5を形成する。

次に、第1図(c)に示すように、絶縁膜6として、CVD法により SiO_2 膜5000Åを形成する。

次に、配線用Al7をスパッタ法により5000Åを蒸着した後、通常のホトリソグラフィ、エッチング技術を用いて、この配線用Al7を除去する。かくして、第1図(c)のごとく構造を得る。

なお、この配線用Al7は底面方向へのバターニングであるため、第1図(c)上には配線用Al7の形状に変化はないように見える。

また、第1図(c)では、PSG8が残った状態であるが、最終ポリシリコンゲート残膜厚になるようにさえすれば、PSG膜8がすべてエッチング除去され、第1ポリシリコン4aの一部(PSG8の下)がエッチングされてもかまわない。

さらに、上記実施例では、絶縁膜として、PSG8を用いた場合を例示したが、この絶縁膜はPSG8に限定されるものではなく、粘性流動を起こすものであれば、PSG以外の材料でもよい。

(発明の効果)

以上、詳細に説明したように、この発明によれば、第1ゲートエッチングを、熱流動性を利用して形成した釣り鐘形状の絶縁膜をマスクとしてエッチングするようにしたので、第1ゲートがテーパーエッチされ、その上層に形成される絶縁膜が滑らかに形成される。

したがって、上記絶縁膜上に形成される導電性膜をバターニングする際ノッチ・ブリッジの発生が抑制されるとともに、絶縁膜のくびれがないため、導電性膜がエッチングのくびれに残りバターニングされた配線がこのくびれに残った配線材料でショートすることはない。

また、絶縁膜を平坦化して形成できるため、グラスフロー工程の省略またはグラスフロー温度の低温化、時間短縮が可能となり、トランジスタ特性への影響も小さい。

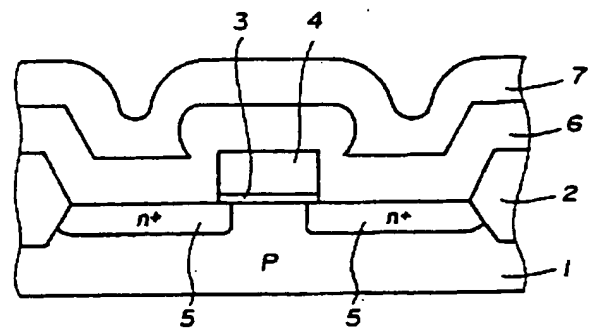
4. 図面の簡単な説明

第1図(a)ないし第1図(d)はこの発明の半導体装置の製造方法の一例を説明するための工程断面

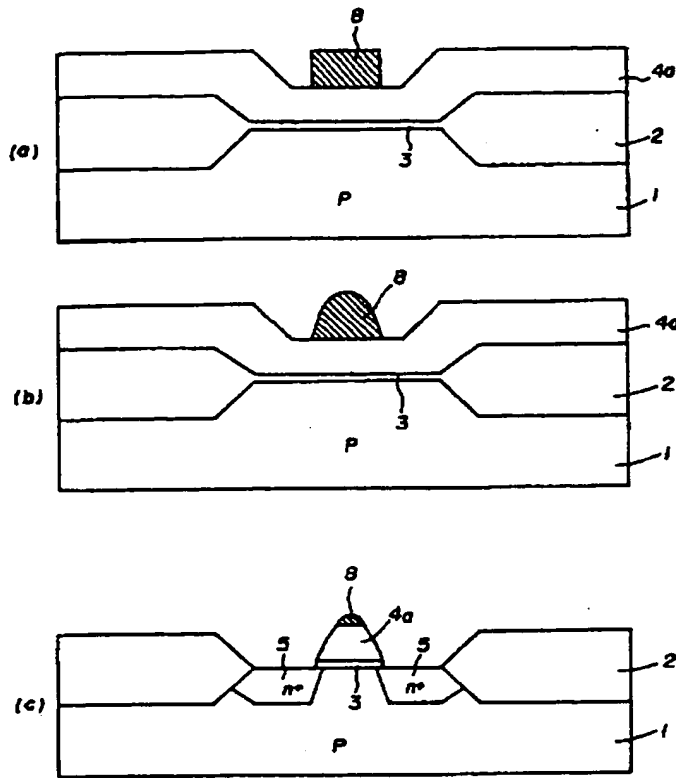
面図、第2図は従来の半導体装置の製造方法を説明するための断面図である。

1…p型シリコン基板、2…フィールド酸化膜、3…ゲート酸化膜、4a…第1ポリシリコン、5…ソース、ドレイン、6…絶縁膜、7…配線用Al、8…PSG膜。

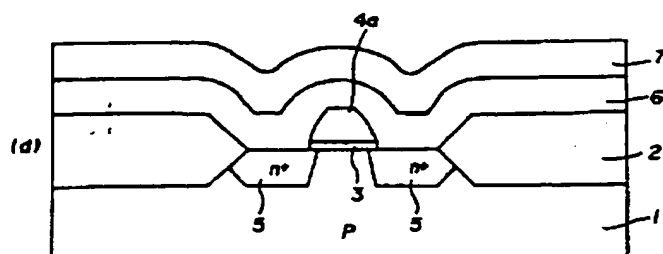
特許出願人 沖電気工業株式会社
代理人 弁理士 堀 池 弘



従来のMOS型トランジスタの製造方法の断面図
第2図



本発明の工程断面図
第 1 図



- 1: P型シリコン基板
- 2: フォトリソグレイ
- 3: P+領域
- 4a: P+領域
- 5: 絶縁膜
- 6: 絶縁膜
- 7: 絶縁膜
- 8: PSG

本発明の工程断面図
第 1 図